

半導体パッケージングと実装技術のすべて

～基礎から最先端まで学ぶ 半導体後工程とチップレット技術～

Comprehensive Guide to Semiconductor Packaging and Assembly
～From Basics to Advanced Chiplet Technologies～

- ▶ 半導体パッケージングの基礎から応用までを丁寧に解説！
- ▶ 注目の2.5D/3Dパッケージングとチップレット技術についても詳説！
- ▶ 著者が長年現場で培ってきた貴重な実践的知識を紹介！
- ▶ 具体的な不具合の事例や、試作・開発時の評価・解析手法も解説！
- ▶ 環境規制に対応したRoHSやPFASへの取り組みは？
- ▶ 半導体パッケージングの未来を見据える一冊！

＜発行要項＞

- 発行：2025年9月10日
- 著者：蛭牟田 要介
- 定価：本体(冊子版) 77,000円(税込)
本体+CD(PDF版) 132,000円(税込)
- 体裁：A4判・並製・112頁
- 編集・発行：(株)シーエムシー・リサーチ
- ISBN 978-4-910581-68-2

= 刊行にあたって =

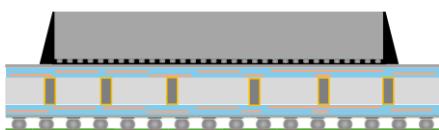
半導体は、現代社会において、もはや単なる電子部品ではない。スマートフォン、AI、IoT機器、そして自動車に至るまで、私たちの生活のあらゆる場面でその存在感は増しており、今や経済安全保障の鍵を握る基幹部品へと進化を遂げている。その一方で、半導体製造の先端プロセスは微細化の限界に挑み、2nmという新たな次元に突入しているが、その最先端技術を必要としない半導体が大半を占めるのもまた事実である。しかし、デバイスのさらなる高性能化は、複数のチップを統合する「チップレット」技術へと、業界全体を牽引している。このような時代の潮流の中、本書は半導体製造の「後工程」、すなわち半導体パッケージングに焦点を当て、その基礎から応用までを丁寧に解説するものである。かつて、半導体パッケージはチップを保護し、外部と接続するための単なる「入れ物」に過ぎなかった。しかし、時代の要請に応える形で、多ピン化、高機能化、小型化の道を歩み、DIPからQFP、そしてBGAへと進化を遂げ、今や多種多様なパッケージが誕生している。本書では、こうしたパッケージングの進化・発展の歴史を紐解きながら、各製造プロセスの技術とそのキーポイントを深く掘り下げていく。

本書の特徴のひとつは、著者が長年にわたり半導体製造の現場で培ってきた貴重な経験と知見を余すところなく紹介している点にある。開発当時の苦労話や失敗例、そこから得られた教訓は、理論だけでは得られない実践的な知識として、非常に参考になるのではないだろうか。チップクラック、ワイヤー断線、ポップコーンクラックといった具体的な不具合の事例や、試作・開発時の評価・解析手法についても解説しており、半導体業界に携わる技術者や研究者にとって有用な情報となるであろう。

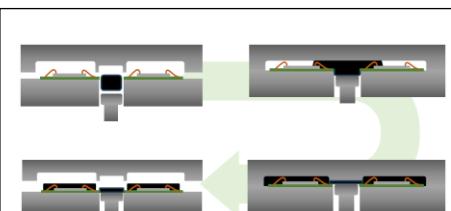
さらに、最新の技術トレンドを網羅的に理解できるよう、環境規制に対応したRoHSやPFASへの取り組み、そして今後の半導体パッケージングの方向性を左右するであろう2.5D/3Dパッケージング、そしてチップレット技術についても章を割いて解説している。

半導体産業に関わる若手技術者、これからこの分野を目指す学生、そして半導体パッケージングの知識を体系的に学びたいと考えているすべての方々にとって、本書が羅針盤となり、知識を深め、未来を切り開く一助となれば幸いである。

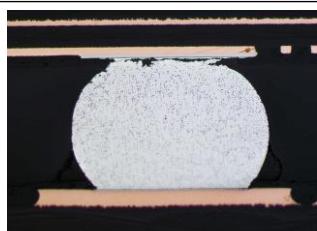
蛭牟田 要介



プリント基板パッケージを用いたFCBGAパッケージ断面(イメージ)



マルチプランジャー・モールド、樹脂注入(イメージ)



断面研磨写真例
(BGAのボール接合部の破断状態)

注文書		メルマガ会員の登録	登録済み／登録希望	お申込み・お問合せ
品名	半導体パッケージングと実装技術のすべて	価格	本体(冊子版)：70,000円(税込77,000円) 本体+CD(PDF)：120,000円(税込132,000円) ※メルマガ会員は定価の10%OFF	編集発行： (株)シーエムシー・リサーチ 101-0054 東京都千代田区神田錦町 2-7 東和錦町ビル3F
会社名		TEL		TEL：03(3293)7053 FAX：03(3291)5789
部課名		FAX		URL: https://cmcre.com
お名前		E-mail		E-mail : order_7053@cmcre.com
住 所	〒			 ← 二次元コードを読み込むと メール作成テンプレートが 開きます

*書籍はご注文を受けた翌営業日以降順次発送いたします。請求書は別途送付いたします。*お支払いは請求書指定口座に納品日の翌月末日までに振り込みでお願いします。

第 I 編 半導体製造における後工程・実装・設計の基礎

1. 初めに
2. 半導体パッケージの基礎～パッケージの進化・発展経緯～
 - 2.1 始まりはSIPとDIP、プリント基板の技術進化に伴いパッケージ形態が多様化
 - 2.1.1 パッケージ進化の歴史
 - 2.1.1.1 初期の発展
 - 2.1.1.2 技術の進化
 - 2.1.1.3 現代のトレンド
 - 2.1.1.4 未来の展望
 - 2.1.2 単位系の話
 - 2.2 THD（スルーホールデバイス）とSMD（表面実装デバイス）
 - 2.2.1 様々なパッケージ
 - 2.2.2 THD（スルーホールデバイス）
 - 2.2.2.1 SIP (Single Inline Package) と DIP (Dual Inline package)
 - 2.2.2.2 PGA (Pin Grid Array) と LGA (Land Grid Array)
 - 2.2.3 SMD（表面実装デバイス）
 - 2.2.3.1 SOJ (Small Outline J-leaded package)
 - 2.2.3.2 SON (Small Outline Non-leaded) と QFN(Quad Flat Non-leaded)
 - 2.2.3.3 SOP (Small Outline Package)
 - 2.2.3.4 TSOP (Thin Small Outline Package)
 - 2.2.3.5 QFJ (Quad Flat J-leaded)
 - 2.2.3.6 QFP (Quad Flat Package)
 - 2.2.3.7 BGA (Ball Grid Array)
 - 2.2.3.8 WLP (Wafer Level Package)
 - 2.2.3.9 TCP (Tape Carrier Package)
 - 2.2.4 一瞬だったパッケージ（代表的なパッケージ）
 - 2.2.4.1 QIP (Quad Inline Package)
 - 2.2.4.2 LCC (Leadless Chip Carrier)
 - 2.2.4.3 SVP (Small Vertical Package) または Surface Vertical Package
 - 2.2.4.4 BCC (Bump Chip Carrier)
 - 2.2.4.5 CSOP (C-leaded Small Outline Package)
 - 2.3 セラミックスパッケージとプラスチック（リードフレーム）パッケージとプリント基板パッケージ
 - 2.3.1 セラミックスパッケージ
 - 2.3.2 リードフレームパッケージ
 - 2.3.2.1 代表的なリードフレーム製造方法
 - 2.3.2.2 スタンピング（プレス）
 - 2.3.2.3 エッチング
 - 2.3.3 プリント基板パッケージ
 3. パッケージングプロセス（代表例）
 - 3.1 セラミックスパッケージのパッケージングプロセス
 - 3.2 プラスチック（リードフレーム）パッケージのパッケージングプロセス
 - 3.3 プリント基板パッケージのパッケージングプロセス
 4. 各製造工程（プロセス）の技術とキーポイント
 - 4.1 パッケージング前工程
 - 4.1.1 BG（バックグラウンド工程）とダイシング工程
 - 4.1.2 DB（ダイボンド）
 - 4.1.2.1 AuSi 共晶接合
 - 4.1.2.2 接着剤（Agペースト）
 - 4.1.2.3 DAF (Die Attach Film)
 - 4.1.3 WB（ワイヤーボンド）
 - 4.1.3.1 ウェッジボンディング
 - 4.1.3.2 ボールボンディング

- 4.1.3.3 ワイヤー材質
- 4.2 封止・モールド工程
 - 4.2.1 シームウェルド（封止：セラミックパッケージ）
 - 4.2.2 モールド封止
 - 4.2.2.1 トランスマルチモールディング
 - 4.2.2.2 マルチプランジャー・モールディング
 - 4.2.2.3 コンプレッションモールディング
- 4.3 組立後工程
 - 4.3.1 外装メッキ
 - 4.3.1.1 Sn メッキ、Sn-Bi メッキ
 - 4.3.2 切断・整形
 - 4.3.3 ポール付け
 - 4.3.4 シンギュレーション
 - 4.3.5 捻印
- 4.4 バンプ・FC（フリップチップ）パッケージの組立工程
 - 4.4.1 再配線・ウェーハバンプ
 - 4.4.2 FC（フリップチップ）
 - 4.4.2.1 C4 (Controlled Collapse Chip Connection の略)
 - 4.4.2.2 C2 (Chip Connection の略)
 - 4.4.2.3 ACP/ACF
 - 4.4.2.4 NCP/NCF
 - 4.4.3 UF（アンダーフィル）
- 4.5 テープキャリアパッケージ（TCP）の組立工程
 - 4.5.1 Bump（メッキバンプ）
 - 4.5.2 インナーリードボンディング（ILB）
5. 試験工程とそのキーポイント
 - 5.1 代表的な試験工程
 - 5.2 BI（バーンイン）工程
 - 5.3 外観検査（リードスキャン）工程
 - 5.4 梱包工程とそのキーポイント
 - 5.4.1 ベーキングと吸湿管理
 - 5.4.2 トレイ梱包
 - 5.4.3 テーピング梱包
6. 過去に経験した組立・実装関連不具合の一例
 - 6.1 チップクラック
 - 6.2 ワイヤー断線
 - 6.3 パッケージが膨れる・割れる
 - 6.3.1 ポップコーンクラック
 - 6.3.2 表面膨れ・剥離
 - 6.4 実装後、パッケージが基板から剥がれる
 - 6.5 BGAのポールが取れる（落ちる・破断する）
 - 6.6 パッケージが燃える（焦げる）
7. 試作・開発時の評価、解析手法の例
 - 7.1 破壊試験と強度確認
 - 7.2 MSL（吸湿・リフロー試験）
 - 7.3 機械的試験と温度サイクル試験
 - 7.4 SAT（超音波探傷）、XRAY（CT）、シャドウモアレ
 - 7.5 開封、研磨、そして観察
 - 7.6 ガイドラインは JEITA と JEDEC
8. RoHS、グリーン対応
 - 8.1 鉛フリー対応
 - 8.2 樹脂の難燃剤改良
 - 8.3 PFAS/PFOS/PFOA フリー
9. 今後の2.5D/3Dパッケージとチップレット技術
 - 9.1 先端パッケージ戦略
 - 9.2 チップレット技術

- 9.2.1 CoWoS®
- 9.2.2 裏面電源供給
- 9.3 ハイブリッドボンディング
- 9.4 製造のキーはチップとインターポーラー間接合と TSV
 - 9.4.1 3D パッケージングの課題
 - 9.4.2 チップ間の接合方法
 - 9.4.3 インターポーラーの材料
 - 9.4.4 積み上げたチップの信頼性の保証は誰が担う？
- 9.5 光チップレット実装技術（光電融合デバイス）
- 9.6 チップレットのデザインルール
- 9.7 基板とインターポーラーの進化が未来を決める
 - 9.7.1 ガラスコア基板

10. 終わりに

参照・引用文献一覧

第II編 チップレット技術による既存チップの統合 ：メリット、デメリット、技術的課題

1. メリット

- 1.1 開発期間とコストの削減
 - 1.1.1 設計期間の短縮
 - 1.1.2 開発費の抑制
 - 1.1.3 多品種少量生産への対応
 - 1.1.4 リスクの低減と歩留まり向上
 - 1.1.5 異種統合と最適なプロセスノードの選択
 - 1.1.6 異なる半導体材料の統合
 - 1.1.7 部品調達の柔軟性
- 2. デメリット
 - 2.1 パッケージングコストの増加
 - 2.2 性能および電力効率の課題
 - 2.2.1 インタークロネクトによる性能劣化
 - 2.2.2 電力効率の低下
 - 2.2.3 熱管理の複雑化
 - 2.2.4 サプライチェーンの複雑化と管理の課題
 - 2.2.5 インターオペラビリティの確保
 - 2.2.6 設計・検証の新たな課題
 - 2.2.7 品質保証

- 2.3 技術的課題
 - 2.3.1 インタークロネクト技術の高度化
 - 2.3.2 高密度接続技術
 - 2.3.3 熱管理技術の進化向上
 - 2.3.4 熱応力緩和
 - 2.3.5 パッケージング技術の精密化と歩留まり向上
 - 2.3.6 テスト・検証手法・トレーサビリティの確立
- 2.4 設計エコシステムの整備
 - 2.4.1 チップレットライブラリと設計ツール
- 3. 結論
- 参考文献

第III編 半導体後工程でのPFASについて

- 1. 半導体産業への影響と代替材料の開発
- 2. 半導体後工程に関して
- 3. もし、抵触するとした場合の規制
 - 3.1 EU REACH 規則（化学物質の登録、評価、認可、制限に関する規則）
 - 3.2 EU POPs 規則（残留性有機汚染物質に関する規則）
 - 3.3 日本の化審法（化学物質の審査及び製造等の規制に関する法律）
 - 3.4 その他の各国の規制

著者略歴

蛭牟田 要介 蛭牟田技術士事務所
品質・技術コンサルタント 技術士（機械部門／加工・生産システム・産業機械）

【経歴】

1984～2003：富士通（株）
2009～2022：NV デバイス（株）（旧社名 富士通デバイス（株））
2003～2009：Spansion Japan（株）
2022.11～：独立技術士

【実績】

- ・九州職業能力開発大学校附属 川内職業能力開発短期大学校（非常勤講師）
- ・鹿児島大学 理工学研究科 機械工学 片野田研究室主催 鹿児島ハイブリッドロケット研究会（Team KROX）ロケット開発プロジェクト
：参画中
- ・半導体後工程関連スポットコンサル テーション：多数
- ・製造品質改善、信頼性向上：コンサルテーション：多数
- ・産業用途向シリコンウェア等の加工プロジェクト：参画中

【専門分野】

半導体後工程・実装、品質・信頼性分野

【研究歴】

- ・スーパーコンピュータ向け等ハイエンドのパッケージング技術開発
- ・メモリ／ロジックデバイスのLFパッケージング技術全域
- ・モバイル向けMCPパッケージング開発と実装接続信頼性向上
- ・特殊用途向けセンサーデバイス、SiP（システムインパッケージ）開発
など

【所属学会】

日本技術士会、エレクトロニクス実装学会