

# 異種デバイス集積化に向かう半導体パッケージのプロセス技術と最新動向 ～チップレット SiP の基礎と Fan Out 型パッケージの三次元化を中心に～

**講師：江澤弘和氏（神奈川工科大学・工学部・非常勤講師）**

最新のプロセッサ製品は機能別に分割した複数の異種チップとメモリを Si インタポーザや SiP に集積する”チップレット”構造を採用し始め、モジュール性能向上へ拡張する半導体パッケージの役割の変化が顕在化しています。さらに、パネルレベルパッケージプロセスは既存のパッケージ基板、PCB、LCD パネルの業態の変化を促し、新たなエコシステムを構築しつつあります。本セミナーでは、半導体デバイス集積化の基幹技術である Micro-Bump、再配線、TSV、FOWLP、三次元デバイス積層のプロセスの基礎を再訪し、再配線の微細化、FOWLP/PLP の三次元化の課題を整理しながら、異種デバイスの三次元集積化を見据えた今後の市場動向と技術動向を展望します。

**【経歴】** 1985 年に（株）東芝入社後、Si ウェーハの高品位化業務を経て、30 年以上に亘り半導体デバイスの微細金属プラグや多層配線を中心に、先端半導体デバイスの微細化プロセス開発に従事。並行して、Micro-Bump、再配線、TSV、FOWLP/PLP 等の中間領域技術の開発と量産化を推進。2011 年、同社メモリ事業部へ転籍後、フラッシュメモリの低消費電力化開発に従事。2017 年、東芝メモリ（株）へ転出。2019 年 9 月、同社を定年退職。現在、神奈川工科大学・工学部・非常勤講師（電気電子材料・電気回路基礎実験）。1985 年、京大院・工・磁性物理学講座・修士課程修了。2015 年、早大院・情報生産システム研究科・先進材料研究室・博士後期課程修了・博士（工学）取得。**【活動】** 日本金属学会、IEEE に所属。

開催日時	2020 年 4 月 24 日（金）13：30～16：30	【会場】	ちよだプラットフォームスクウェア B1F 〒101-0054 東京都千代田区神田錦町 3-21
受講料	42,000 円 + 税 ※資料付 *メルマガ登録者 37,000 円 + 税 *アカデミック価格 24,000 円 + 税		

\*アカデミック価格：学校教育法にて規定された国、地方公共団体、および学校法人格を有する大学、大学院の教員、学生に限ります。

★【メルマガ会員特典】2 名以上同時申込で申込者全員メルマガ会員登録をしていただいた場合、2 名目は無料、3 名目以降はメルマガ価格の半額です。

★【セミナー対象者】・最近の先端半導体パッケージのプロセス技術に関心のある方・FOWLP/PLP の開発動向、市場動向に関心のある方・LCD パネル関連の方 ★【得られる知識】・チップレット SiP の基礎になる Bump、再配線、TSV、Fan-Out パッケージプロセスの基礎知識・異種デバイスの三次元集積化プロセスの基礎・FOPLP 市場形成の論点整理と技術課題・最近の半導体パッケージの役割を理解するための配線階層を横断する視点

## 【本セミナーのプログラム】

※適宜休憩が入ります。

### 1. 半導体パッケージの役割の変化

1.1. 後工程の前工程化 1.2. 中間領域プロセスによる価値創出事例 1.3. チップレット SiP

RDL First b)再構成モールド樹脂基板の反りとチップシフト c)プロセスインテグレーション課題 d)FOWLP のコスト構造参考事例 3.2. 三次元 FOWLP の Through Mold Interconnect (TMI) a)Cu ピラー-TMI b)垂直ワイヤーボンド TMI c)感光性モールドによる TMI と再配線の一括形成

### 2. 三次元集積化デバイス形成プロセス技術と最新動向

2.1. 広帯域メモリチップとロジックチップの積層化 a)Logic-on-DRAM SoC デバイス b)InFO POP c)2.5D インテグレーション 2.2. 中間領域の基幹プロセスの基礎と留意点 a)再配線形成プロセス b)マイクロバンプ形成プロセス c)TSV 形成プロセス(via middle, back side via) 2.3 再配線の微細化の課題 a)再配線と絶縁樹脂膜の界面 b)絶縁樹脂膜の平坦化 c)LSI ダマシン配線と再配線の構造比較

### 4. Fan-Out Panel Level Package (FOPLP) の課題

4.1 量産化へ向けて克服すべき課題 4.2 装置開発事例

### 5. 半導体パッケージの開発動向及び市場動向

5.1 三次元集積化開発の動向 a)Hybrid Panel FO によるメモリ多段積層 b)ウェーハ積層による異種デバイス集積化 c)CoW による異種デバイス集積化 5.2 最近の市場概観 5.3 今後の商流と事業主体の変化

### 3. Fan-Out 型パッケージプロセス技術と最新動向

3.1. FOWLP プロセスの基礎と留意点 a)Chip First と

### 6. まとめ Q&A

弊社記入欄		セミナー申込書			
セミナー名	異種デバイス集積化に向かう半導体パッケージのプロセス技術と最新動向 ～チップレット SiP の基礎と Fan Out 型パッケージの三次元化を中心に～				
所定の事項にご記入下さい メルマガ会員、 登録希望の場合は○↓	会社名（団体名）	TEL :		住所 〒	
		FAX :		E-mail :	
会員登録済み	新規登録希望	部署	役職	氏名	
お支払方法		銀行振込 ・ その他		お支払予定	2020 年 月 日頃

■申込方法：セミナー申込書にご記入の上 FAX または E-mail (re@cmcre.com) でお申し込みください。

■セミナーお申込み後のキャンセルは基本的にお受けしておりません、ご都合により出席できなくなった場合は代理の方がご出席ください。

■申込先：(株)シーエムシー・リサーチ 東京都千代田区神田錦町 2-7 TEL 03-3293-7053

■本セミナーの関連情報は、弊社HPでもご覧になれます。⇒ <http://www.cmcre.com>

参加申込 FAX 番号  
**03-3291-5789**